

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250956

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H01L 29/786
G02F 1/1368
G09F 9/30
H01L 21/312
H01L 21/318
H04N 5/66

(21)Application number : 2000-062908

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
SHARP CORP

(22)Date of filing : 08.03.2000

(72)Inventor : KOYAMA JUN
KITAKADO HIDETO
ITO MASATAKA
OGAWA HIROYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve a problem due to the fact that, when there is a large variation in an electric characteristic value of a TFT, a large margin of a gate voltage is required and a high voltage is required for operations, resulting in increased power consumption as well as poor reproducibility of a gradation display in a liquid crystal display device, etc.

SOLUTION: To prevent alkaline metal ions in a glass substrate from being mixed into an active layer due to a gate voltage, thereby deteriorating an electric characteristic, a blocking layer obtained by laminating a nitride oxide silicon film (A) having a thickness of 50-100 nm and an oxynitride silicon film (B) having a thickness of 30-70 nm which have different composition ratios of oxygen and nitrogen, is provided on a back channel side of a TFT. The thickness of the oxynitride silicon film (B), which is greatly affected in particular, is made precise.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-250956
(P2001-250956A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl. ⁷	識別記号	F I	テマート* (参考)
H 0 1 L 29/786		C 0 9 F 9/30	3 3 8 2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 21/312	A 5 C 0 5 8
G 0 9 F 9/30	3 3 8	21/318	C 5 C 0 9 4
H 0 1 L 21/312			M 5 F 0 5 8
21/318		H 0 4 N 5/66	1 0 2 A 5 F 1 1 0
審査請求 未請求 請求項の数 6 O L (全 20 頁) 最終頁に続く			

(21) 出願番号 特願2000-62908(P2000-62908)

(22) 出願日 平成12年3月8日(2000.3.8)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(71) 出願人 000003049

シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 北角 英人

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

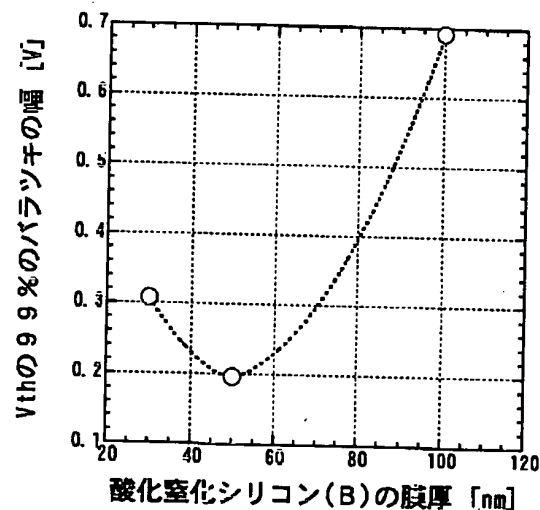
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 T F Tの電気的特性の値は、基板内のT F Tにおいてバラツキが大きいとゲート電圧のマージンを大きくとることになり、動作に必要な電圧も高くなり、したがって消費電力が増加し、液晶表示装置等では階調表現の再現性を悪くする。

【解決手段】 ガラス基板中のアルカリ金属イオンがゲート電圧によって活性層に混入し、電気特性を劣化させることを抑制するためT F Tのバックチャネル側にそれぞれ酸素と窒素の組成比の異なる酸化窒化シリコン膜(A)を50nm~100nmと、酸化窒化シリコン膜(B)を30nm~70nmとを積層させたブロッキング層を設ける。特に影響の大きい酸化窒化シリコン膜(B)の膜厚を精密にする。



【特許請求の範囲】

【請求項1】基板上にTFTを設けた半導体装置であって、

前記基板に接して形成した酸化窒化シリコン膜(A)と、該酸化窒化シリコン膜(A)に接して形成した酸化窒化シリコン膜(B)と、該酸化窒化シリコン膜(B)上に形成した半導体層とを有し、

前記酸化窒化シリコン膜(A)の酸素に対する窒素の組成比は0.6以上1.5以下であり、

前記酸化窒化シリコン膜(B)の酸素に対する窒素の組成比は0.01以上0.4以下であり、

前記酸化窒化シリコン膜(A)の膜厚は50nm以上100nm以下であり、

前記酸化窒化シリコン膜(B)の膜厚は30nm以上70nm以下であることを特徴とする半導体装置。

【請求項2】基板上にTFTを設けた半導体装置であって、

前記基板に接して形成した酸化窒化シリコン膜(A)と、該酸化窒化シリコン膜(A)に接して形成した酸化窒化シリコン膜(B)と、該酸化窒化シリコン膜(B)上に形成した半導体層とを有し、

前記酸化窒化シリコン膜(A)の酸素濃度は20atomic%以上30atomic%以下であり、かつ、窒素濃度は20atomic%以上30atomic%以下であり、

前記酸化窒化シリコン膜(B)の酸素濃度は55atomic%以上65atomic%以下であり、かつ、窒素濃度は1atomic%以上20atomic%以下であり、

前記酸化窒化シリコン膜(A)の膜厚は50nm以上100nm以下であり、

前記酸化窒化シリコン膜(B)の膜厚は30nm以上70nm以下であることを特徴とする半導体装置。

【請求項3】基板上にTFTを設けた半導体装置であって、

前記基板に接して形成した酸化窒化シリコン膜(A)と、該酸化窒化シリコン膜(A)に接して形成した酸化窒化シリコン膜(B)と、該酸化窒化シリコン膜(B)上に形成した半導体層とを有し、

前記酸化窒化シリコン膜(A)はSiH₄、NH₃およびN₂Oを含むガスを原料にして作製される膜であり、

前記酸化窒化シリコン膜(B)はSiH₄およびN₂Oを含むガスを原料にして作製される膜であり、

前記酸化窒化シリコン膜(A)の膜厚は50nm以上100nm以下であり、

前記酸化窒化シリコン膜(B)の膜厚は30nm以上70nm以下であることを特徴とする半導体装置。

【請求項4】請求項1乃至請求項3のいずれか一項において、

前記酸化窒化シリコン膜(A)の酸素に対する水素の組

成比は0.3以上1.5以下であり、

前記酸化窒化シリコン膜(B)の酸素に対する水素の組成比は0.001以上0.15以下であることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項3のいずれか一項において、

前記酸化窒化シリコン膜(A)の水素濃度は10atomic%以上20atomic%以下であり、

前記酸化窒化シリコン膜(B)の水素濃度は0.1atomic%以上10atomic%以下であることを特徴とする半導体装置。

【請求項6】請求項1乃至請求項3のいずれか一項において、

前記酸化窒化シリコン膜(A)は、密度が 8×10^{22} atoms/cm³以上 2×10^{22} atoms/cm³以下であり、前記酸化窒化シリコン膜(B)は、密度が 6×10^{22} atoms/cm³以上 9×10^{22} atoms/cm³以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は基板上に形成された薄膜トランジスタ(以下、TFTと記す)およびそれを用いた電気光学装置に関する。特にTFTの活性層とする半導体層と基板との間に設ける絶縁膜に関するものである。このような絶縁膜はブロッキング層或いは下地膜とも呼び、基板中のアルカリ金属元素などの不純物により活性層が汚染されることを防止するために用いられる。本発明では活性層の汚染によるTFTの劣化および信頼性の低下を防止するとともに、基板内でのバラツキの小さい良好なTFTの特性を得るのに好適な絶縁膜の構成に関する。

【0002】本発明の電気光学装置としては、代表的には液晶表示装置が挙げられる。なお、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記TFT、電気光学装置およびその電気光学装置を表示部に用いた電子機器も含むものとする。

【0003】

【従来の技術】近年、結晶質半導体層で活性層を形成したTFTを用い、画素のスイッチング素子および駆動回路を形成したアクティブマトリクス型の表示装置が、高精細で高画質の画像表示を実現する手段として注目されている。結晶質半導体層の材料には、非晶質シリコン層をレーザーアニール法や熱アニール法などの方法で結晶化させた結晶質シリコン層が好適に用いられている。結晶質シリコン層を用いたTFTは、電界効果移動度が非常に高く、微細加工しても高い電流駆動能力が得られるため、画素部の高開口率化も可能となっている。

【0004】このようなアクティブマトリクス型の表示装置の基板には、アルカリ酸化物を含有しない石英ガラ

基板やアルカリ酸化物を含有する低アルカリガラス基板を用いることが出来るが、低価格化を実現するためには石英ガラス基板よりも安価な低アルカリガラス基板を用いることが望ましい。しかしながら、基板に低アルカリガラス基板を用いた場合、ガラス基板の耐熱性の問題から、製造工程における最高温度は600℃～700℃以下にしなければならない。

【0005】さらに、基板に微量に含まれるナトリウム(Na)などのアルカリ金属がTFTの活性層に混入しないように、少なくともガラス基板のTFTが形成される側の表面には酸化シリコン膜や窒化シリコン膜などからなるブロッキング層を形成する必要がある。ガラス基板上に作製されるTFTは、トップゲート型とボトムゲート型(或いは逆スタガ型)の構造が知られている。トップゲート型は活性層の基板側とは反対側の面に少なくともゲート絶縁膜とゲート電極とが設けられた構造となっている。このトップゲート型のTFTでは、ゲート電極に電圧が印加されるとその極性によってはガラス基板中のアルカリ金属元素のうち、イオン化したものが活性層側に引き寄せられることがある。そこで、上述のようなブロッキング層は活性層がゲート絶縁膜と接する反対側の面(以降、本明細書では便宜上バックチャネル側と記す)に形成されている。このブロッキング層の質が悪いと、ガラス基板中のアルカリ金属元素が容易に活性層に混入するため、TFTの電気的な特性が変動し、経時的な信頼性も確保できなくなってしまう。

【0006】また、ブロッキング層を設け、その上に非晶質半導体層を形成してレーザーアニール法や熱アニール法で結晶質半導体層を形成すると、ブロッキング層の内部応力が変化し、結晶質半導体層に歪みを与える。このような状況でTFTを完成させたとしても、しきい値電圧(以下、 V_{th} と省略する)やサブスレッショルド定数(以下、 S 値と省略して記す)などのTFTの電気的特性が目標値からずれてしまう。

【0007】

【発明が解決しようとする課題】そこで、特願平11-125392において、TFTのバックチャネル側に酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)とを積層させたブロッキング層を設けることにより、基板からのアルカリ金属元素などの不純物による汚染を防止することが記載されている。さらに、非晶質半導体層の結晶化の工程前後で内部応力が小さくなる、すなわち結晶質半導体層への影響が小さくなるような、一層目の酸化窒化シリコン膜(A)と二層目の酸化窒化シリコン膜(B)との組成と膜厚の適当な範囲が記載されている。

【0008】酸化窒化シリコン膜(A)は、含有する酸素濃度を20atomic%以上30atomic%以下、窒素濃度を20atomic%以上30atomic%以下とする。或いは、酸素に対する窒素の組成比を0.6以上1.5以下とする。また、酸化窒化シリコン

膜(B)は、含有する酸素濃度を55atomic%以上65atomic%以下、窒素濃度を1atomic%以上20atomic%以下とする。或いは、酸素に対する窒素の組成比を0.01以上0.4以下とする。酸化窒化シリコン膜(A)の水素濃度は10atomic%以上20atomic%以下とし、酸化窒化シリコン膜(B)の水素濃度は0.1atomic%以上10atomic%以下とする。

【0009】そして、酸化窒化シリコン膜(A)は、密度が 8×10^{22} atoms/cm³以上 2×10^{23} atoms/cm³以下とし、酸化窒化シリコン膜(B)は、密度が 6×10^{22} atoms/cm³以上 9×10^{22} atoms/cm³以下とする。このような酸化窒化シリコン膜(A)のフッ化水素アンモニウム(NH₄HF₂)を7.13%とフッ化アンモニウム(NH₄F)を15.4%含む混合水溶液の20℃におけるエッチングレートは60nm/min～70nm/min(500℃、1時間+550℃、4時間の熱処理後では、40nm/min～50nm/min)であり、酸化窒化シリコン膜(B)のエッチングレートは110nm/min～130nm/min(500℃、1時間+550℃、4時間の熱処理後では、90nm/min～100nm/min)である。ここで定義したエッチングレートはエッチング溶液として、NH₄HF₂を7.13%、NH₄Fを15.4%含む水溶液を用い、20℃のときに得られる値である。

【0010】基板に接して設ける酸化窒化シリコン膜(A)を10nm～150nm、好ましくは20nm～60nmの厚さで設け、その上に酸化窒化シリコン膜(B)を10nm～250nm、好ましくは20nm～100nmの厚さで設けることで、活性層が基板中のアルカリ金属元素等の不純物により汚染されることを防止することができる。

【0011】また、ブロッキング層は酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)とを積層させて形成するので、積層した状態での内部応力を考慮し、結晶化工程の前後における内部応力の変化量が 1×10^2 N/m以下となるようにすることが好ましい。

【0012】このときの酸化窒化シリコン膜の作製方法は、プラズマCVD法や減圧CVD法やECR-CVD法などの公知の成膜方法で形成すれば良く、特にプラズマCVD法を用いることが好ましい。また、原料ガスにSiH₄、NH₃、N₂Oを用いる。組成比は原料ガスの供給量を制御するか、反応圧力や、放電電力、放電周波数、基板温度などの成膜に係わるパラメータを調節することで可能である。NH₃は酸化窒化シリコン膜の窒化を補うものであり、供給量を適宜調節することで効果的に酸化窒化シリコン膜の窒素の含有量を制御することができる。このため、酸化窒化シリコン膜(B)に比べて窒素濃度の高い酸化窒化シリコン膜(A)はSiH₄、

NH_3 、 N_2O から作製し、酸化窒化シリコン膜(B)は SiH_4 、 N_2O から作製される。

【0013】ブロッキング膜を酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)との組成と膜厚とを上述のように形成すれば、基板からのアルカリ金属元素の汚染を防止することができ、非晶質半導体層の結晶化の工程前後で内部応力が小さく、結晶質半導体層への影響を少なくすることができる。よって、 V_{th} やS値などのTFTの電気的特性が目標値となり、信頼性の高いTFTを作製することができる。

【0014】上述のTFTの電気的特性の代表的パラメータである V_{th} は、(ドレイン電流(以下、 I_d と省略する)) $^{1/2}$ 対ゲート電圧(以下、 V_g と省略する)特性において、直線領域を外挿して V_g 軸と交差する電圧値として求めることができる。また、 V_{th} 近傍またはそれ以下におけるドレイン電流とゲート電圧の関係はサブスレッショルド特性とも呼ばれ、スイッチング素子としてTFTの性能を決める重要な特性である。このサブスレッショルド特性の良さを表す定数としてS値が用いられている。S値はサブスレッショルド特性を片対数グラフにプロットしたときにドレイン電流が一桁変化するのに要するゲート電圧として定義されている。

【0015】 V_{th} の値は回路を動作させる上で、nチャネル型TFTで0.5V~2.5V、pチャネル型TFTで-0.5V~-2.5V程度とすると良い。なお、 V_{th} を制御するために、活性層のチャネル形成領域に $1 \times 10^{16} \text{ atoms/cm}^3 \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度濃度でp型を付与する不純物元素を添加する方法がとられている。このような処置をチャネルドーピングと呼び、設計通りにTFTのスイッチング特性を得るために重要な工程となっている。

【0016】また、S値は、小さければ小さいほどTFTのオン状態とオフ状態を切り替えるために必要な電圧の幅が小さくてすむため、高速で低消費電力の動作が可能となる。

【0017】このような V_{th} やS値などのTFTの電気的特性の値は、基板面内のTFTにおいてバラツキが見られる。これらの特性値のバラツキが大きくなるほど、ゲート電圧のマージンを大きくとらなくてはならないため、動作に必要な電圧が高くなり消費電力が増加してしまう。また、 V_{th} やS値の値は液晶表示装置の階調表現の再現性、特に中間色の再現性に著しく影響するため、これらの値がばらつく则表示したときにオリジナルの表示内容が忠実に再現できずムラとして認識されてしまう。

【0018】そこで本発明では、代表されるTFTの特性のバラツキが小さいTFTおよびその作製方法を提供し、そのようなTFTを用いてアクティブマトリクス型の液晶表示装置を提供することを目的とする。

【0019】

【課題を解決するための手段】上述の問題を解決するために、本発明者は V_{th} やS値に代表されるTFTの電気的特性のバラツキと、TFTを作製するために必要な工程との関係について数々の実験を行った。そして試行錯誤の末、バックチャネル側に酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)とを積層させたブロッキング層を設ける上述の構成において、TFTの電気的特性のバラツキとブロッキング層の構成に密接な関係があることを見出した。

【0020】さらに、本発明者は実験を進め、バックチャネル側に酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)とを積層させたブロッキング層を設ける上述の構成において、TFTの電気的特性のバラツキが酸化窒化シリコン膜(A)よりも酸化窒化シリコン膜(B)の膜厚、膜質ならびに膜の均一性に影響されることを見出した。

【0021】TFTの電気的特性のバラツキに対する評価は、TFTで形成した回路を所望の駆動電圧で正常に動作させるために着目する特性が、 V_{th} 、S値および電界効果移動度などであるため、ここでは特に V_{th} とS値に着目して行った。図1および図2に、酸化窒化シリコン膜(B)の膜厚が V_{th} およびS値のバラツキに与える影響を示す。図1には V_{th} のバラツキを示し、図2にはS値(S-value)のバラツキを示す。それぞれのプロットの形は窒化酸化シリコン膜(B)の膜厚を示しており、○で示すプロットが30nm、△で示すプロットが50nm、□で示すプロットが100nmである。各プロットが形成する直線の傾きが大きくなるほど各値のバラツキが小さいことを示している。例えば、図1より V_{th} のバラツキは、窒化酸化シリコン膜(B)の膜厚が50nm、30nm、100nmの順に大きくなり、窒化酸化シリコン膜(B)の膜厚が50nmのとき99%のTFTの V_{th} が-1.78V~-1.59Vの範囲に納まっており、30nmのときは-1.77V~-1.46Vの範囲に、100nmのときは-2.51V~-1.82Vの範囲に納まっていることがわかる。また、窒化酸化シリコン膜(B)の膜厚が50nmのとき、99%のTFTの V_{th} が-1.59Vから-1.78Vを引いた値である0.19Vの幅に納まっていることがわかる。このようにして得た値を V_{th} の99%のバラツキの幅と呼ぶ。なお、酸化窒化シリコン膜(A)の膜厚はすべて50nmであり、バラツキは基板上の10cm×10cm内のほぼ等間隔に分散している100個の同一サイズのpチャネル型TFTの測定を行い評価した。

【0022】図3に V_{th} の99%のバラツキの幅と酸化窒化シリコン膜(B)の膜厚との関係を示す。酸化窒化シリコン膜(B)の膜厚が厚い100nmの場合に比べて、薄い50nmの方がTFTの電気的特性のバラツキが著しく小さくなった。また、酸化窒化シリコン膜

(B)の膜厚が30nmの場合、50nmの場合よりもバラツキが若干大きくなったものの100nmの場合に比べて小さなバラツキであった。このように酸化窒化シリコン膜(B)の膜厚は100nmから50nmと薄くすることで効果的にバラツキは小さくなったと考えられる。しかしながら、膜厚が50nmから30nmとさらに薄くなると膜質の均一性が低下してしまうためにバラツキが大きくなってしまったと考えられる。

【0023】このため、TFTの電気的特性のバラツキを効果的に小さくするためには、酸化窒化シリコン膜(B)の膜厚を基板上の10cm×10cm内においてVthの99%のバラツキの幅がほぼ0.3V以内となった30nm～70nm、好ましくは50nmにすると良い。

【0024】一方、酸化窒化シリコン膜(A)の膜厚は厚くなるほど基板からの汚染を防止する効果は高くなる。しかしながら、酸化窒化シリコン膜(A)の膜厚が100nmよりも厚くなると、酸化窒化シリコン膜(A)の膜質によっては、その上方に成膜される非晶質シリコンが剥がれてしまう場合があった。また、酸化窒化シリコン膜(A)のアルカリ金属元素の汚染防止効果は、酸化窒化シリコン膜(A)の膜厚が50nmでも十分に確認されている。よって、酸化窒化シリコン膜(A)の膜厚は50nm～100nmが望ましい。

【0025】このように、バックチャネル側に設ける酸化窒化シリコン膜を用いたブロッキング膜の膜厚および膜質には最適な範囲があり、適した組み合わせとすることによりTFTの特性を安定化させるだけでなく、VthやS値のバラツキを低減させることができる。その結果、液晶表示装置の駆動電圧を低くすることができ消費電力も低く、さらに階調表現の再現性を高くすることができる。

【0026】

【発明の実施の形態】【実施形態1】本実施形態では、nチャネル型TFTとpチャネル型TFTでなるCMOS回路の作製工程を説明する。本発明の実施形態を図4と図5を用いて説明する。ここではCMOS回路を形成す

るのに必要なnチャネル型TFTとpチャネル型TFTとを同一基板上に作製する方法について工程に従って詳細に説明する。そして、TFTのVthやS値のバラツキが小さくなるブロッキング層の組成および構造を明らかにした。

【0027】<ブロッキング層の形成と非晶質半導体層の形成：図4(A)>図4(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどの、一般的には低アルカリガラスもしくは無アルカリガラスと呼ばれているガラスを用いる。このようなガラス基板には微量ではあるがナトリウムなどのアルカリ金属元素が含まれていた。なお、基板101はあらかじめこの基板のガラス歪み点よりも10℃～20℃程度低い温度で熱処理しておいても良い。

【0028】そして、この基板101のTFTを形成する側の表面に、基板101から前記アルカリ金属元素やその他の不純物の汚染を防ぐためにブロッキング層102を形成する。ブロッキング層102は、SiH₄、N₂Oから作製する酸化窒化シリコン膜(A)102aと、SiH₄、N₂Oから作製する酸化窒化シリコン膜(B)102bで形成した。酸化窒化シリコン膜(A)102aは50nm～100nmの厚さで形成し、酸化窒化シリコン膜(B)102bは30nm～70nm(好ましくは50nm)の厚さで形成する。本実施の形態では酸化窒化シリコン膜(A)を50nmの厚さで形成し、酸化窒化シリコン膜(B)50nmの厚さで形成した。このような構成のブロッキング層を形成することで、アルカリ金属元素やその他の不純物の汚染を防ぐだけでなく、TFTの電気的特性のバラツキを低減させることができる。

【0029】酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)は公知の成膜法で形成すれば良いが、プラズマCVD法を用いることが最も好ましい。その時の代表的な作製条件を表1に示す。

【0030】

【表1】

成膜温度(℃)		酸化窒化シリコン膜(A)	酸化窒化シリコン膜(B)	酸化窒化シリコン膜(C)
ガス流量 (sccm)	SiH ₄	10	4	10
	N ₂ O	20	400	700
	NH ₃	100	0	0
圧力(Pa)		40	40	93
放電電力密度(W/cm ²)		0.41	0.41	0.12
電源周波数(MHz)		60	60	13.56

【0031】また、表1には対比として層間絶縁膜に使用するのに適した作製条件も示し、酸化窒化シリコン膜(C)とした。ガス流量比はそれぞれ表1に示す条件とし、他の作製条件においては、酸化窒化シリコン膜(A)は、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。酸化窒化シリコン膜(B)の作製条件は、基板温

度400℃とし、ガス流量比以外の他の作製条件は酸化窒化シリコン膜(A)と同様にした。酸化窒化シリコン膜(C)は酸化窒化シリコン膜(B)に対してガス流量比を異ならせ、さらに反応圧力93Pa、放電電力密度0.12W/cm²、放電周波数13.56MHzとした。

【0032】このような条件で作製された酸化窒化シリ

コン膜 (A) ~ (C) の諸特性を表2にまとめて示す。
【0033】

【表2】

		酸化窒化シリコン膜 (A)		酸化窒化シリコン膜 (B)		酸化窒化シリコン膜 (C)		
組成 (atomic%)		H	16.5	1.5	—	—	—	
		N	24	7	—	—	—	
		O	26.5	59.5	—	—	—	
		Si	33	32	—	—	—	
密度 (atoms/cm ³)			9.28×10 ²²	7.09×10 ²²	—	—	—	
水素量 (atomic/cm ³)	NH	as-depo	8.09×10 ²¹	5.46×10 ²⁰	—	—	—	
		annealed	7.42×10 ²¹	2.06×10 ²⁰	—	—	8.86×10 ¹⁹	
	SiH	as-depo	8.74×10 ²²	—	—	—	—	
		annealed	2.18×10 ²²	—	—	—	—	
		エッチング速度 (nm/min)		as-depo	63	120	—	200
				annealed	44	96	—	130
内部応力 (dynes/cm ²)		as-depo	8.01×10 ⁸	(-4.26×10 ⁸)	—	(-2.00×10 ⁸)		
		annealed	7.42×10 ¹⁰	(-7.29×10 ⁸)	—	(-1.30×10 ⁸)		

【0034】表2には、ラザフォード・バックスキャタリング・スペクトロメトリー (Rutherford Backscattering Spectrometry: 以下、RBSと省略して記す。使用装置 システム; 3S-R10、加速器; NEC3SDH pelletron エンドステーション; CE&A RBS-400) から求めた水素 (H)、窒素 (N)、酸素 (O)、シリコン (Si) の組成比と密度、フーリエ変換赤外分光法 (以下、FT-IRと記す。使用装置 Nicolet Magna-IR 760) から求めた N-H結合と Si-H結合の密度、フッ化水素アンモニウム (NH_4HF_2) を 7.13% とフッ化アンモニウム (NH_4F) を 15.4% 含む混合溶液 (ステラケミファ社製、商品名 LAL500) の 20℃ におけるエッチング速度、および熱アニールによる内部応力の変化量を示す。内部応力の測定器は Ionic System 社製の Model-30114 を使用し、シリコンウエハー基板上に作製した試料で測定した。内部応力の表記で (+) の記号は引張り応力 (膜を内側にして変形する応力) を表し、(-) の記号は圧縮応力 (膜を外側にして変形する応力) を表している。

【0035】酸化窒化シリコン膜 (A) は酸素に対する窒素の組成比が 0.91 であり、酸化窒化シリコン膜 (B) の 0.12 と比較して、窒素の含有比率が高くなる条件とした。このとき、酸化窒化シリコン膜 (A) では酸素に対する水素の組成比が 0.62 となり、酸化窒化シリコン膜 (B) では 0.03 であった。その結果膜の密度が高まり、ウェットエッチング速度は酸化窒化シリコン膜 (B) の 96 nm/min (熱アニール後) と比較して酸化窒化シリコン膜 (A) 96 nm/min (熱アニール後) となり、速度が遅くなることから緻密な膜であることが推定できた。ウェットエッチング速度から比較すると、酸化窒化シリコン膜 (C) は酸化窒化シリコン膜 (B) よりも速く、密度が小さい膜であることが推定できる。

【0036】勿論、酸化窒化シリコン膜の作製条件は表1に限定されるものではない。酸化窒化シリコン膜 (A) は、 SiH_4 と NH_3 と N_2O とを用い、基板温度 250℃ ~ 450℃、反応圧力 10 Pa ~ 100 Pa、

電源周波数 13.56 MHz 以上を用い、放電電力密度 0.15 W/cm² ~ 0.80 W/cm² として、水素濃度 10 atomic% ~ 30 atomic%、窒素濃度 20 atomic% ~ 30 atomic%、酸素濃度 20 atomic% ~ 30 atomic%、密度 8×10^{22} /cm³ ~ 2×10^{23} /cm³、上記フッ化水素アンモニウム (NH_4HF_2) を 7.13% とフッ化アンモニウム (NH_4F) を 15.4% 含む混合溶液エッチング速度が 40 nm/min ~ 70 nm/min となるようにすれば良い。一方、酸化窒化シリコン膜 (B) は、 SiH_4 と N_2O とを用い、基板温度 250℃ ~ 450℃、反応圧力 10 Pa ~ 100 Pa、電源周波数 13.56 MHz 以上を用い、放電電力密度 0.15 W/cm² ~ 0.80 W/cm² として、水素濃度 0.1 atomic% ~ 10 atomic%、窒素濃度 120 atomic% ~ 200 atomic%、酸素濃度 55 atomic% ~ 65 atomic%、密度 6×10^{22} atoms/cm³ ~ 9×10^{22} atoms/cm³、上記フッ化水素アンモニウム (NH_4HF_2) を 7.13% とフッ化アンモニウム (NH_4F) を 15.4% 含む混合溶液エッチング速度が 90 nm/min ~ 130 nm/min となるようにすれば良い。

【0037】また、表2では結合水素量、ウェットエッチング速度、内部応力については膜の堆積後の値 (as-depo) と、熱処理 (500℃、1時間 + 550℃、4時間: 結晶化の工程における処理条件と同等なもの) 後の値 (annealed) を示した。表2の特性から明らかなように、この熱処理によって酸化窒化シリコン膜から水素が放出され、また膜が緻密化して引張り応力が大きくなる方向へ変化した。

【0038】次に、25 nm ~ 80 nm (好ましくは 30 nm ~ 60 nm) の厚さで非晶質構造を有する半導体層 103a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。本実施形態では、プラズマ CVD 法で非晶質シリコン膜を 54 nm の厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、ブロッキング層 102 と非晶質半導体層 1

03aとは両者を連続形成しても良い。例えば、ブロッキング層102bをプラズマCVD法で成膜後、反応ガスを SiH_4 、 N_2O から SiH_4 と H_2 或いは SiH_4 のみに切り替えれば、一旦大気雰囲気中に晒すことなく連続形成できる。その結果、ブロッキング層102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性のしきい値電圧の変動を低減させることができる。

【0039】<結晶化の工程：図4(B)>そして、公知の結晶化技術を使用して非晶質半導体層103aから結晶質半導体層103bを形成する。例えば、レーザーアニール法や熱アニール法(固相成長法)、またはラピットサーマルアニール法(RTA法)を適用すれば良い。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが肝要であり、400℃～500℃で1時間程度の熱処理を行い含有する水素量を5atom%以下にしてから結晶化させることが望ましい。

【0040】結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100mJ/cm²～500mJ/cm²(代表的には300mJ/cm²～400mJ/cm²)とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を80%～98%として行う。このようにして結晶質半導体層を形成することができる。

【0041】熱アニール法による場合にはファーンズアニール法を用い、窒素雰囲気中で600℃～660℃程度の温度でアニールを行う。いずれにしても非晶質半導体層を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質半導体層103aの厚さは当初の非晶質半導体層103bの厚さ(本実施形態では54nm)よりも1%～15%程度減少した。

【0042】<島状半導体層形成、マスク層形成：図4(C)>そして、結晶質半導体層103b上にフォトレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割して島状半導体層104、105aを形成し活性層とする。ドライエッチングには CF_4 と O_2 の混合ガスを用いた。その後、プラズマCVD法や減圧CVD法、またはスパッタ法により50nm～100nmの厚さの酸化シリコン膜によるマスク層106を形成する。例えば、プラズマCVD法による場合、

オルトケイ酸テトラエチル(Tetraethyl Orthosilicate:TEOS)と O_2 とを混合し、反応圧力40Pa、基板温度300℃～400℃とし、高周波(13.56MHz)電力密度0.5W/cm²～0.8W/cm²で放電させ、100nm～150nm代表的には130nmの厚さに形成する。

【0043】<チャネルドープ工程：図4(D)>そしてフォトレジストマスク107を設け、nチャネル型TFTを形成する島状半導体層105aにしきい値電圧を制御する目的で 1×10^{16} atoms/cm³～ 5×10^{17} atoms/cm³程度の濃度でp型を付与する不純物元素を添加した。半導体に対してp型を付与する不純物元素には、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)など周期表の第13族の元素が知られている。ここではイオンドープ法でジボラン(B_2H_6)を用いホウ素(B)を添加した。ホウ素(B)添加は必ずしも必要でなく省略しても差し支えないが、ホウ素(B)を添加した半導体層105bはnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することができる。

【0044】<nd-ドープ工程：図4(E)>nチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層105bに選択的に添加する。半導体に対してn型を付与する不純物元素には、リン(P)、砒素(As)、アンチモン(Sb)など周期律表第15族の元素が知られている。フォトレジストマスク108を形成し、ここではリン(P)を添加すべく、フォスフィン(PH_3)を用いたイオンドープ法を適用した。形成される不純物領域109におけるリン(P)濃度は 2×10^{16} atoms/cm³～ 5×10^{19} atoms/cm³の範囲とする。本明細書中では、不純物領域109に含まれるn型を付与する不純物元素の濃度を(n-)と表す。

【0045】<マスク層除去、ゲート絶縁膜形成：図4(F)>次に、マスク層106を純水で希釈したフッ酸などのエッチング液により除去した。次に、ゲート絶縁膜110をプラズマCVD法またはスパッタ法を用いて40nm～150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、95nmの厚さで酸化窒化シリコン膜(B)で形成すると良い。その他に、ゲート絶縁膜を他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0046】<第1の導電層の形成：図5(A)>ゲート絶縁膜上には、ゲート電極を形成するために導電層を成膜する。この導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造とすることもできる。本実施形態では、導電性の窒化物金属膜から成る導電層(A)111と金属膜から成る導電層(B)112とを積層させた。導電層(B)112はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タン

グステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)111は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。また、導電層(A)111はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)112は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで $20\mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。

【0047】導電層(A)111は10nm~50nm(好ましくは20nm~30nm)とし、導電層(B)112は200nm~400nm(好ましくは250nm~350nm)とすれば良い。本実施形態では、導電層(A)111に50nmの厚さのTa₂N膜を、導電層(B)112には350nmのTa膜を用い、いずれもスパッタ法で形成した。Ta₂N膜はTaをターゲットとしてスパッタガスにArと窒素との混合ガスを用いて成膜した。TaはスパッタガスにArを用いた。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 α 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きであった。Ta₂N膜は α 相に近い結晶構造を持つので、この上にTa膜を形成すれば α 相のTa膜が容易に得られた。尚、図示しないが、導電層(A)111の下に2nm~20nm程度の厚さでリン(P)をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜110に拡散するのを防ぐことができる。いずれにしても、導電層(B)は抵抗率を $10\mu\Omega\text{cm}$ ~ $500\mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0048】<ゲート電極形成:図5(B)>次に、フォトリソマスク113を形成し、導電層(A)111と導電層(B)112とを一括でエッチングしてゲート電極114、115を形成する。例えば、ドライエッチング法によりCF₄とO₂の混合ガス、またはC₂F₆を用いて1Pa~20Paの反応圧力で行うことができる。ゲート電極114、115は、導電層(A)から成る114a、115aと、導電層(B)から成る114b、115bとが一体として形成されている。この時、nチャネル型TFTのゲート電極115は不純物領域109の一部と、ゲート絶縁膜110を介して重なるように形成する。また、ゲート電極は導電層(B)のみで形

成することも可能である。

【0049】<p⁺ドーピング工程:図5(C)>次いで、pチャネル型TFTのソース領域およびドレイン領域とする不純物領域117を形成する。ここでは、ゲート電極114をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層はフォトリソマスク116で被覆しておく。そして、不純物領域117はジボラン(B₂H₆)を用いたイオンドーピング法で形成する。この領域のボロン(B)濃度は $3\times 10^{20}\text{atoms/cm}^3\sim 3\times 10^{21}\text{atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域134に含まれるp型を付与する不純物元素の濃度を(p⁺)と表す。

【0050】<n⁺ドーピング工程:図5(D)>次に、nチャネル型TFTのソース領域またはドレイン領域を形成する不純物領域118の形成を行った。ここでは、フォスフィン(PH₃)を用いたイオンドーピング法で行い、この領域のリン(P)濃度を $1\times 10^{20}\text{atoms/cm}^3\sim 1\times 10^{21}\text{atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域138~142に含まれるn型を付与する不純物元素の濃度を(n⁺)と表す。不純物領域117にも同時にリン(P)が添加されるが、既に前の工程で添加されたボロン(B)濃度と比較して不純物領域117に添加されたリン(P)濃度はその1/2~1/3程度なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。

【0051】<保護絶縁層形成、活性化工程、水素化工程:図5(E)>その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を熱アニール法で行う。この工程はファーンズアニール法を用いれば良い。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)で行うことができる。アニール処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400℃~700℃、代表的には500℃~600℃で行うものであり、本実施形態では500℃で4時間の熱処理を行った。また、アニール処理の前に、50nm~200nmの厚さの保護絶縁層119を酸化窒化シリコン膜や酸化シリコン膜などで形成すると良い。酸化窒化シリコン膜は表1のいずれの条件でも形成できるが、その他にも、SiH₄を27sccm、N₂Oを900sccmとして反応圧力160Pa、基板温度325℃、放電電力密度0.1W/cm²で形成すると良い。

【0052】活性化の工程の後、さらに、3%~100%の水素を含む雰囲気中で、300℃~450℃で1時間~12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズ

マにより励起された水素を用いる)を行っても良い。

【0053】<層間絶縁層、ソース配線およびドレイン配線形成、パッシベーション膜形成：図5(F)>活性化および水素化の工程が終了したら、保護絶縁層上にさらに酸化窒化シリコン膜または酸化シリコン膜を積層させ、層間絶縁層120を形成する。酸化窒化シリコン膜は保護絶縁層119と同様にして SiH_4 を27sccm、 N_2O を900sccmとして反応圧力160Pa、基板温度325℃とし、放電電力密度を0.15W/cm²として、500nm～1500nm(好ましくは600nm～800nm)の厚さで形成する。

【0054】そして、層間絶縁層120および保護絶縁層119TFTのソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線121、124と、ドレイン配線122、123を形成する。図示していないが、本実施形態ではこの電極を、Ti膜を60nm、窒化チタン膜(TiN)を40nm、Siを含むアルミニウム膜300nm、Ti膜100nmをスパッタ法で連続して形成した4層構造の積層膜とした。

【0055】次に、パッシベーション膜125として、窒化シリコン膜または酸化窒化シリコン膜を50nm～500nm(代表的には100nm～350nm)の厚さで形成する。さらに、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3%～100%の水素を含む雰囲気中で、300℃～450℃で1時間～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。

【0056】こうして基板101上に、nチャネル型TFT134とpチャネル型TFT133とを完成させることができた。pチャネル型TFT133には、島状半導体層104にチャネル形成領域126、ソース領域127、ドレイン領域128を有している。nチャネル型TFT134には、島状半導体層105にチャネル形成領域129、ゲート電極115と重なるLDD領域130(以降、このようなLDD領域をLovと記す)、ソース領域132、ドレイン領域131を有している。このLov領域のチャネル長方向の長さは、チャネル長3μm～8μmに対して、0.5μm～3.0μm(好ましくは1.0μm～1.5μm)とした。図2ではそれぞれのTFTをシングルゲート構造としたが、ダブルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0057】このようにして作製したTFTの特性の基板内のバラツキを評価した結果が前述の図1および図2である。図に示すように、バックチャネル側に設けた二層のブロッキング膜の二層目(上層)となる酸化窒化シリコン膜(B)の膜厚が50nmであるとき、バラツキを小さくすることができた。このことから、二層のブロッキング膜の膜厚および膜質には最適な範囲があり、適

した組み合わせとすることによりTFTの特性を安定化させるだけではなく、VthやS値のバラツキを低減させることができた。

【0058】

【実施例】[実施例1]本発明の実施例を図6～図10を用いて説明する。ここでは画素部の画素TFTと、画素部の周辺に設けられる駆動回路のTFTを同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路などの基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することにする。

【0059】図6(A)において、基板201にはバリウムホウケイ酸ガラス基板やアルミノホウケイ酸ガラス基板を用いる。本実施例ではアルミノホウケイ酸ガラス基板を用いた。この時ガラス歪み点よりも10℃～20℃程度低い温度であらかじめ熱処理しておいても良い。この基板201のTFTを形成する表面には、酸化窒化シリコン膜(A)202aを50nm～100nmの厚さに形成し、さらにその上に酸化窒化シリコン膜(B)202bを30nm～70nmに積層させてブロッキング層202とする。本実施例では酸化窒化シリコン膜(A)202aを50nmの厚さに形成し、酸化窒化シリコン膜(B)202bを50nmに積層させブロッキング層202とした。このような構成のブロッキング層を形成することで、基板201からのアルカリ金属元素をはじめとする不純物拡散を防ぐだけでなく、TFTの電気的特性のバラツキを低減させることができる。

【0060】次に、25nm～80nm(好ましくは30nm～60nm)の厚さで非晶質構造を有する半導体層203aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマCVD法で非晶質シリコン膜を54nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、ブロッキング層202と非晶質シリコン層203aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気に晒さないことでその表面の汚染を防ぐことが可能となり、しきい値電圧の変動を低減させることができる。(図6(A))

【0061】そして、公知の結晶化技術を使用して非晶質シリコン層203aから結晶質シリコン層203bを形成する。例えば、レーザーアニール法や熱アニール法(固相成長法)を適用すれば良いが、ここでは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン層203bを形成した。まず、重量換算で10ppmの触媒元素を含む水溶液をスピコート法で塗布して触媒元素を含有する

層を形成した(図示せず)。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。結晶化の工程では、まず400℃~500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atôm%以下にする。そして、ファーンズアニール法を用い、窒素雰囲気中で550℃~600℃で1時間~8時間の熱アニールを行う。以上の工程までで結晶質シリコン膜を得ることができる。この状態で表面に残存する触媒元素の濃度は $3 \times 10^{10} \text{ atoms/cm}^3$ ~ $2 \times 10^{11} \text{ atoms/cm}^2$ であった。その後、結晶化率を高めるためにレーザーアニール法を併用しても良い。例えば、XC1エキシマレーザー(波長308nm)を用い、光学系で線状ビームを形成して、発振周波数5Hz~50Hz、エネルギー密度100mJ/cm²~500mJ/cm²として線状ビームのオーバーラップ割合を80%~98%として照射する。このようにして、結晶性シリコン膜203bを得る。(図6(B))

【0062】そして、結晶質シリコン膜203bをエッチング処理して島状に分割し、島状半導体層204~207を形成し活性層とする。その後、プラズマCVD法や減圧CVD法、またはスパッタ法により50nm~100nmの厚さの酸化シリコン膜によるマスク層208を形成する。例えば、減圧CVD法でSiH₄とO₂との混合ガスを用い、266Paにおいて400℃に加熱して酸化シリコン膜を形成する。(図6(C))

【0063】そしてチャネルドープ工程を行う。まず、フォトレジストマスク209を設け、nチャネル型TFTを形成する島状半導体層205~207の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \text{ atoms/cm}^3$ ~ $5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン(B)を添加した。ボロン(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン(B)添加は必ずしも必要ではないが、ボロン(B)を添加した半導体層210~212はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましい。(図6(D))

【0064】駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層210、211に選択的に添加する。そのため、あらかじめフォトレジストマスク213~216を形成した。ここではリン(P)を添加すべく、フォスフィン(PH₃)を用いたイオンドープ法を適用した。形成された不純物領域(n⁻)217、218のリン(P)濃度は $2 \times 10^{16} \text{ atoms/cm}^3$ ~ $5 \times 10^{19} \text{ atoms/cm}^3$ とする。また、不純物領域219は、画素部の保持容量を形成するための半導体層であ

り、この領域にも同じ濃度でリン(P)を添加した。

(図7(A))

【0065】次に、マスク層208をフッ酸などにより除去して、図6(D)と図7(A)で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500℃~600℃で1時間~4時間の熱アニールや、レーザーアニールの方法により行うことができる。また、両者を併用して行っても良い。なお、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【0066】そして、ゲート絶縁膜220をプラズマCVD法またはスパッタ法を用いて40nm~150nmの厚さでシリコンを含む絶縁膜で形成する。例えば酸化窒化シリコン膜(B)で形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図7(B))

【0067】次に、ゲート電極を形成するために第1の導電層を成膜する。本実施例では導電性の窒化物金属膜から成る導電層(A)221と金属膜から成る導電層(B)222とを積層させた。ここでは、スパッタ法で導電層(A)221は窒化タンタル(TaN)で50nmの厚さに形成し、導電層(B)222をタンタル(Ta)で350nmの厚さに形成した。(図7(C))

【0068】次に、フォトレジストマスク223~227を形成し、導電層(A)221と導電層(B)222とを一括でエッチングしてゲート電極228~231と容量配線232を形成する。ゲート電極228~231と容量配線232は、導電層(A)から成る228a~232aと、導電層(B)から成る228b~232bとが一体として形成されている。この時、駆動回路に形成するゲート電極229、230は不純物領域217、218の一部と、ゲート絶縁膜220を介して重なるように形成する。(図7(D))

【0069】次いで、駆動回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極228をマスクとして、自己整合的に不純物領域を形成する。nチャネル型TFTが形成される領域はフォトレジストマスク233で被覆しておく。そして、ジボラン(B₂H₆)を用いたイオンドープ法で不純物領域(p⁺)234を $1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で形成した。(図8(A))

【0070】次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行う。レジストのマスク235~237を形成し、n型を付与する不純物元素を添加して不純物領域238~242を形成する。ここでは、フォスフィン(PH₃)を用いたイオンドープ法で行い、不純物領域(n⁺)238~242の(P)濃度を $5 \times 10^{20} \text{ atoms/cm}^3$ とする。不純物領域238には、既に前

工程で添加されたボロン(B)が含まれているが、それに比して $1/2 \sim 1/3$ の濃度でリン(P)が添加されるので、添加されたリン(P)の影響は考えなくても良く、TFTの特性に何ら影響を与えることはない。(図8(B))

【0071】そして、画素部のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物添加の工程を行う。ここではゲート電極231をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。添加するリン(P)の濃度は $5 \times 10^{16} \text{ atoms/cm}^3$ とし、図7(A)および図8(A)と図8(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域(n^+)243、244のみが形成される。(図8(C))

【0072】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファースアニール法を用いた熱アニール法、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)で行うことができる。ここではファースアニール法で活性化工程を行う。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で $400^\circ\text{C} \sim 700^\circ\text{C}$ 、代表的には $500^\circ\text{C} \sim 600^\circ\text{C}$ で行うものである。

【0073】この熱アニールにおいて、ゲート電極228~231と容量配線232形成するTa膜228b~232bは、表面から5nm~80nmの厚さでTa₂Nから成る導電層(C)228c~232cが形成される。その他に導電層(B)228b~232bがタングステン(W)の場合には窒化タングステン(WN)が形成され、チタン(Ti)の場合には窒化チタン(TiN)を形成することができる。また、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極228~231を晒しても同様に形成することができる。さらに、3%~100%の水素を含む雰囲気中で、 $300^\circ\text{C} \sim 450^\circ\text{C}$ で1時間~12時間の熱アニールを行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0074】本実施例のように、島状半導体層を非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製した場合、島状半導体層中には微量($1 \times 10^{17} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ 程度)の触媒元素が残留する。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つにリン(P)によるゲッタリング作用を利用する手段がある。ゲッタリ

ングに必要なリン(P)の濃度は図8(B)で形成する不純物領域(n^+)と同程度であれば良く、ここで実施される活性化工程の熱アニールにより、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から触媒元素を不純物領域238~242に偏析させゲッタリングをすることができる。その結果不純物領域238~242には $1 \times 10^{17} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ 程度の触媒元素が偏析する。(図8(D))

【0075】図11(A)および図12(A)はここまでの工程におけるTFTの上面図であり、A-A'断面およびC-C'断面は図8(D)のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図13(A)および図14(A)の断面図に対応している。図11および図12の上面図はゲート絶縁膜を省略しているが、ここまでの工程で少なくとも島状半導体層204~207上にゲート電極228~231と容量配線232が図に示すように形成されている。

【0076】活性化および水素化の工程が終了したら、ゲート配線とする第2の導電層を形成する。この第2の導電層は低抵抗材料であるアルミニウム(Al)や銅(Cu)を主成分とする導電層(D)で形成する。いずれにしても、第2の導電層の抵抗率は $0.1 \mu\Omega\text{cm} \sim 10 \mu\Omega\text{cm}$ 程度とする。さらに、チタン(Ti)やタantal(Ta)、タングステン(W)、モリブデン(Mo)から成る導電層(E)を積層形成すると良い。本実施例では、チタン(Ti)を0.1重量%~2重量%含むアルミニウム(Al)膜を導電層(D)245とし、チタン(Ti)膜を導電層(E)246として形成する。導電層(D)245は $200\text{nm} \sim 400\text{nm}$ (好ましくは $250\text{nm} \sim 350\text{nm}$)とすれば良く、導電層(E)246は $50\text{nm} \sim 200\text{nm}$ (好ましくは $100\text{nm} \sim 150\text{nm}$)で形成すれば良い。(図9(A))

【0077】そして、ゲート電極に接続するゲート配線を形成するために導電層(E)246と導電層(D)245とをエッチング処理して、ゲート配線247、248と容量配線249を形成する。エッチング処理は最初に SiCl_4 と Cl_2 と BCl_3 との混合ガスを用いたドライエッチング法で導電層(E)の表面から導電層(D)の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線を形成することができる。

【0078】図11(B)および図12(B)はこの状態の上面図を示し、A-A'断面およびC-C'断面は図9(B)のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図13(B)および図14(B)のB-B'およびD-D'に対応している。図11(B)および図12(B)において、ゲート

配線147、148の一部は、ゲート電極128、129、131の一部と重なり電氣的に接触している。この様子はB-B'断面およびD-D'断面に対応した図13(B)および図14(B)の断面構造図からも明らかで、第1の導電層を形成する導電層(C)と第2の導電層を形成する導電層(D)とが電氣的に接触している。

【0079】第1の層間絶縁膜250は500nm～1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成する。その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線251～254と、ドレイン配線255～258を形成する。

【0080】次に、パッシベーション膜259として、窒化シリコン膜、酸化シリコン膜、または酸化窒化シリコン膜を50nm～500nm(代表的には100nm～300nm)の厚さで形成する。この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られる。例えば、3%～100%の水素を含む雰囲気中で、300℃～450℃で1時間～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜259に開口部を形成しておいても良い。(図9(C))

【0081】図11(C)および図12(C)のはこの状態の上面図を示し、A-A'断面およびC-C'断面は図9(C)のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図13(C)および図14(C)のB-B'およびD-D'に対応している。図11(C)と図12(C)では第1の層間絶縁膜を省略して示すが、島状半導体層204、205、207の図示されていないソースおよびドレイン領域にソース配線251、252、254とドレイン配線255、256、258が第1の層間絶縁膜に形成されたコンタクトホールを介して接続している。

【0082】その後、有機樹脂からなる第2の層間絶縁膜260を1.0μm～2.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。そして、第2の層間絶縁膜260にドレイン配線258に達するコンタクトホールを形成し、画素電極261、262を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。(図10)

【0083】こうして同一基板上に、駆動回路のTFT

と画素部の画素TFTとを有した基板を完成させることができた。駆動回路にはpチャネル型TFT301、第1のnチャネル型TFT302、第2のnチャネル型TFT303、画素部には画素TFT304、保持容量305が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0084】駆動回路のpチャネル型TFT301には、島状半導体層204にチャネル形成領域306、ソース領域307a、307b、ドレイン領域308a、308bを有している。第1のnチャネル型TFT302には、島状半導体層205にチャネル形成領域309、ゲート電極229と重なるLDD領域(Lov)310、ソース領域311、ドレイン領域312を有している。このLov領域のチャネル長方向の長さは0.5μm～3.0μm、好ましくは1.0μm～1.5μmとした。第2のnチャネル型TFT303には、島状半導体層206にチャネル形成領域313、Lov領域とLoff領域(ゲート電極と重ならないLDD領域であり、以降Loff領域と記す)とが形成され、このLoff領域のチャネル長方向の長さは0.3μm～2.0μm、好ましくは0.5μm～1.5μmである。画素TFT304には、島状半導体層207にチャネル形成領域318、319、Loff領域320～323、ソースまたはドレイン領域324～326を有している。Loff領域のチャネル長方向の長さは0.5μm～3.0μm、好ましくは1.5μm～2.5μmである。さらに、容量配線232、249と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT304のドレイン領域326に接続し、n型を付与する不純物元素が添加された半導体層327とから保持容量305が形成されている。図10では画素TFT304をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0085】以上の様に本発明は実施形態で示したように、ブロッキング層202を酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)で形成することにより、完成したTFTにおいてTFTの電氣的特性を安定化させるだけではなく、VthやS値のバラツキを低減させることができる。その結果、液晶表示装置の階調表現の再現性、特に中間色の再現性を向上させ、さらに駆動電圧を低くすることができ消費電力を低くすることができる。

【0086】[実施例2] 本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図15に示すように、図10の状態のアクティブマトリクス基板に対し、配向膜601を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の対向基板602には、遮光膜603、透明導電

膜604および配向膜605を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。そして、画素マトリクス回路と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料606を注入し、封止剤（図示せず）によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図15に示すアクティブマトリクス型液晶表示装置が完成する。

【0087】次に、このアクティブマトリクス型液晶表示装置の構成を、図16の斜視図および図20の上面図を用いて説明する。尚、図16と図17は、図6～図10と図15の断面構造図と対応付けるため、共通の符号を用いている。また、図17で示すE-E'に沿った断面構造は、図10に示す画素マトリクス回路の断面図に対応している。

【0088】図16においてアクティブマトリクス基板は、ガラス基板201上に形成された、画素部406と、走査信号駆動回路404と、画像信号駆動回路405で構成される。表示領域には画素TFT304が設けられ、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路404と、画像信号駆動回路405はそれぞれゲート配線231とソース配線254で画素TFT304に接続している。また、FPC (Flexible Print Circuit) 731が外部入力端子734に接続され、入力配線402、403でそれぞれの駆動回路に接続している。

【0089】図17は表示領域406のはほぼ一画素分を示す上面図である。ゲート配線248は、図示されていないゲート絶縁膜を介してその下の半導体層207と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、 n^{++} 領域でなるLoff領域が形成されている。また、263はソース配線254とソース領域324とのコンタクト部、264はドレイン配線258とドレイン領域326とのコンタクト部、265はドレイン配線258と画素電極261のコンタクト部である。保持容量305は、画素TFT304のドレイン領域326から延在する半導体層327とゲート絶縁膜を介して容量配線232、249が重なる領域で形成されている。

【0090】なお、本実施例のアクティブマトリクス型液晶表示装置は、実施例1で説明した構造と照らし合わせて説明したが、実施例1の構成に限定されるものでなく、実施形態1で示した工程を実施例1に応用して完成させたアクティブマトリクス基板を用いても良い。いずれにしても、本発明におけるブロッキング層を設けたアクティブマトリクス基板であれば自由に組み合わせてア

クティブマトリクス型液晶表示装置を作製することができる。

【0091】〔実施例3〕本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本発明を実施できる。

【0092】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図18および図19に示す。

【0093】図18（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004で構成される。本発明を画像入力部2002、表示部2003やその他の信号制御回路に適用することができる。

【0094】図18（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明を表示部2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0095】図18（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本発明は表示部2205やその他の信号制御回路に適用できる。

【0096】図18（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本発明は表示部2302やその他の信号制御回路に適用することができる。

【0097】図18（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD (Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の信号制御回路に適用することができる。

【0098】図18（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）で構成される。本発明を表示部2502やその他の信号制御回路に適用することができる。

【0099】図19（A）はフロント型プロジェクターであり、光源光学系および表示装置2601、スクリー

ン2602で構成される。本発明は表示部やその他の信号制御回路に適用することができる。

【0100】図19(B)はリア型プロジェクターであり、本体2701、光源光学系および表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示部やその他の信号制御回路に適用することができる。

【0101】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施形態1、実施例1および実施例2のどのような組み合わせからなる構成を用いても実現することができる。

【0102】

【発明の効果】基板上に形成したTFTを有する半導体装置において、基板上に接して酸化窒化シリコン膜(A)を50nm～100nm形成し、さらに酸化窒化シリコン膜(B)を30nm～70nm積層してブロッキング膜とすることで、活性層がアルカリ金属元素などの不純物で汚染されるのを防止するのみでなく、基板面内のTFTにおける V_{th} やS値などのTFTの電気的特性の値のバラツキを小さくすることができる。

【0103】このような方法で作製されたTFTを用いれば、駆動電圧および消費電力が低く、さらに階調表現の再現性が高いアクティブマトリクス型の液晶表示装置を作製することができる。

【図面の簡単な説明】

【図1】 酸化窒化シリコン膜(B)の膜厚を変化させたときのpチャネル型TFTの V_{th} のバラツキを示す

図

【図2】 酸化窒化シリコン膜(B)の膜厚を変化させたときのpチャネル型TFTのS値のバラツキを示す図

【図3】 V_{th} の99%のバラツキの幅と酸化窒化シリコン膜(B)の膜厚との関係を示す図

【図4】 実施形態1のTFTの作製工程を示す図

【図5】 実施形態1のTFTの作製工程を示す図

【図6】 実施例1のTFTの作製工程を示す断面図

【図7】 実施例1のTFTの作製工程を示す断面図

【図8】 実施例1のTFTの作製工程を示す断面図

【図9】 実施例1のTFTの作製工程を示す断面図

【図10】 実施例1のTFTの作製工程を示す断面図

【図11】 実施例1の駆動回路TFTの作製工程を示す上面図

【図12】 実施例1の画素TFT、保持容量のTFTの作製工程を示す上面図

【図13】 実施例1の駆動回路TFTの作製工程を示す上面図

【図14】 実施例1の画素TFT、保持容量のTFTの作製工程を示す上面図

【図15】 実施例2の液晶表示装置の構造を示す断面図

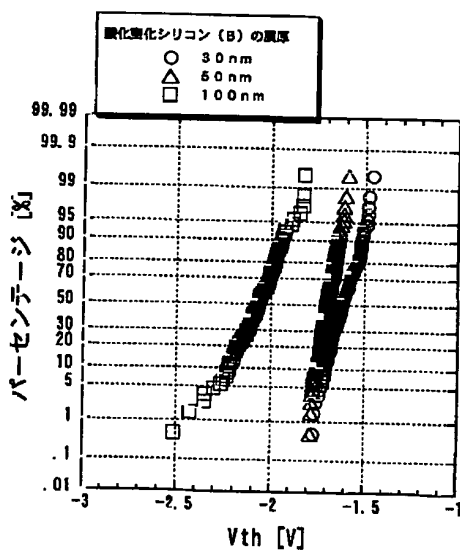
【図16】 実施例2の液晶表示装置の構造を示す斜視図

【図17】 実施例2の表示領域を示す上面図

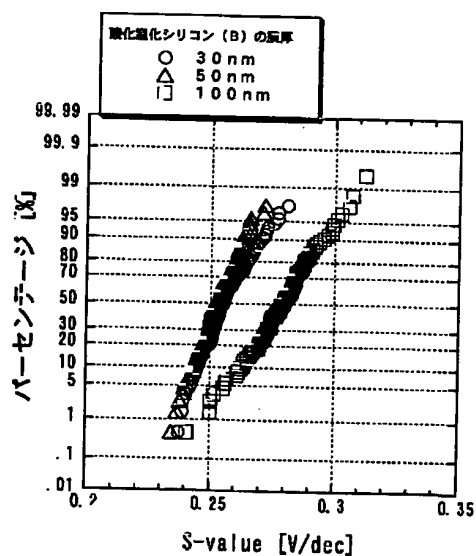
【図18】 実施例3の電子機器の例を示す図

【図19】 実施例3の電子機器の例を示す図

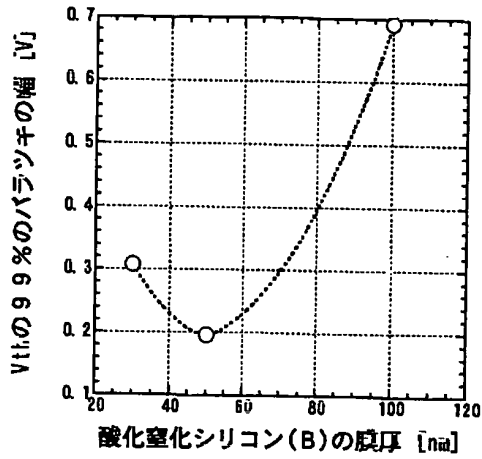
【図1】



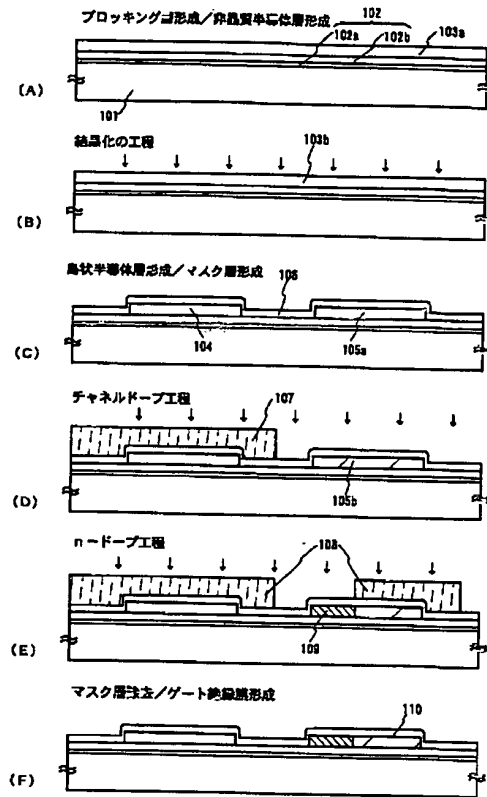
【図2】



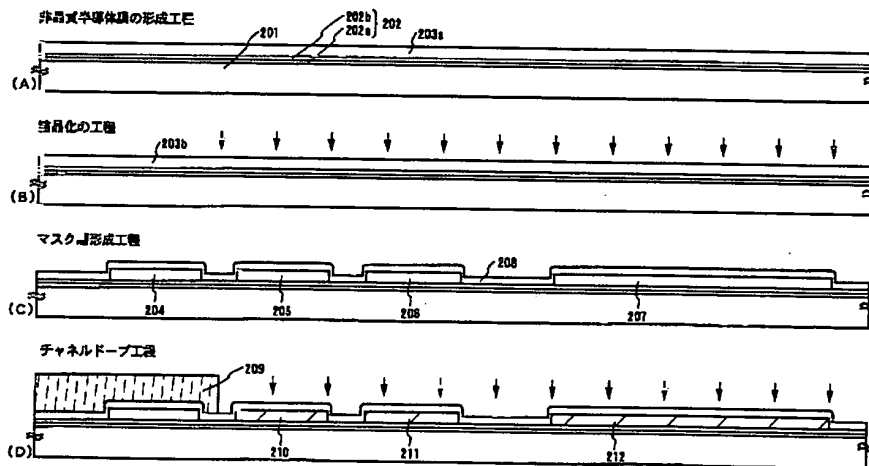
【図3】



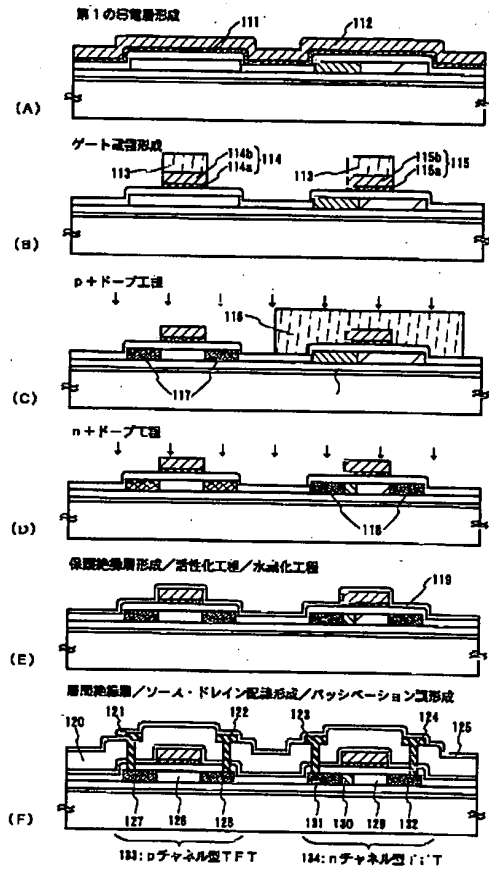
【図4】



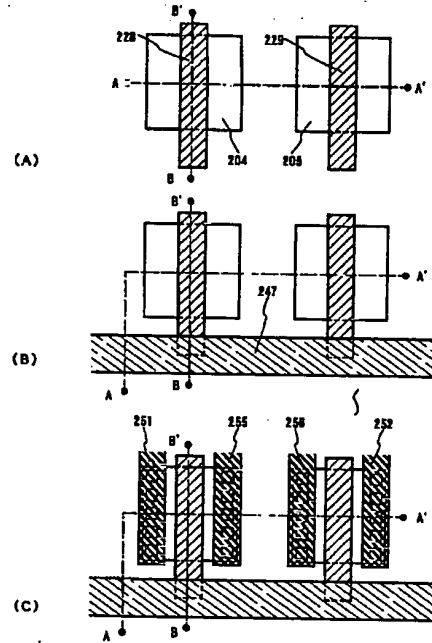
【図6】



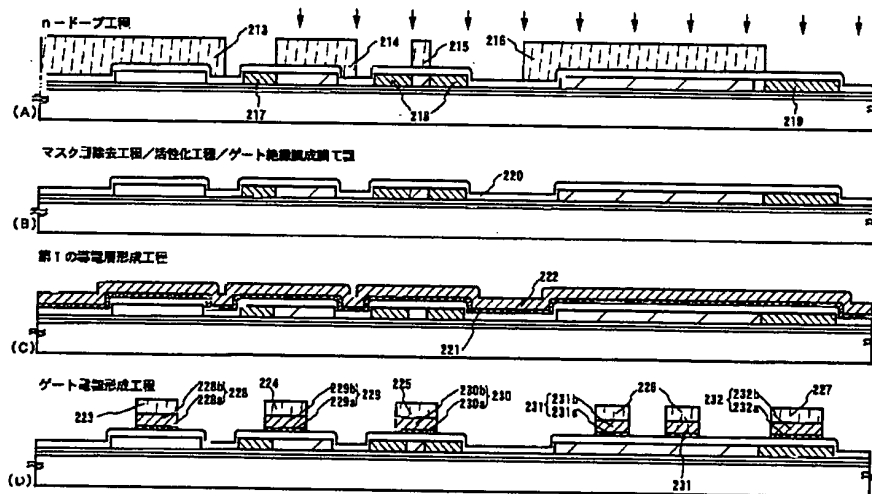
【図5】



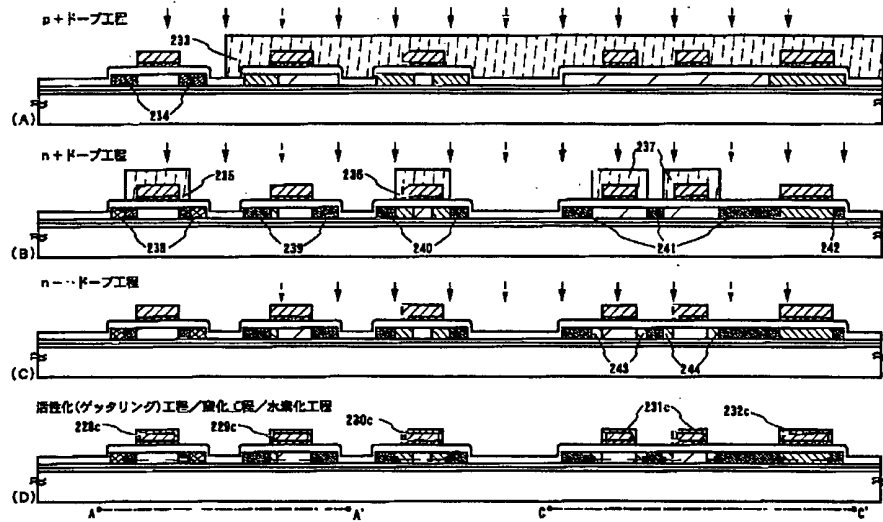
【図11】



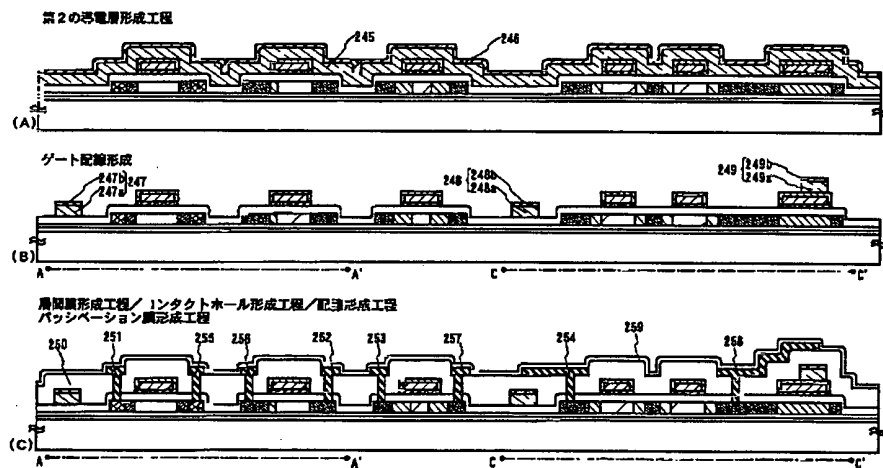
【図7】



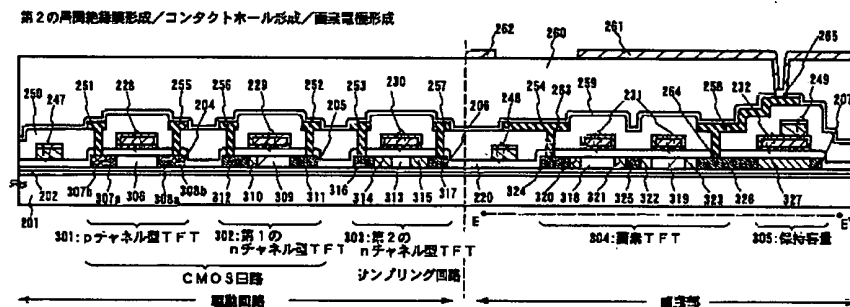
【図8】



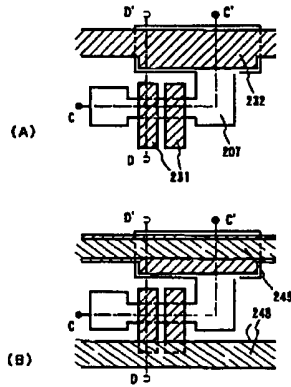
【図9】



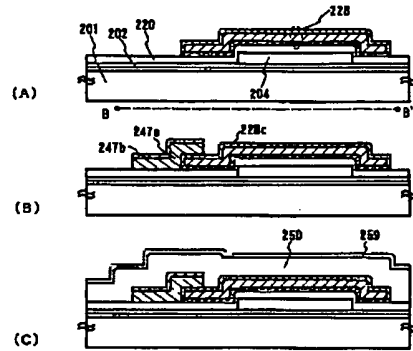
【図10】



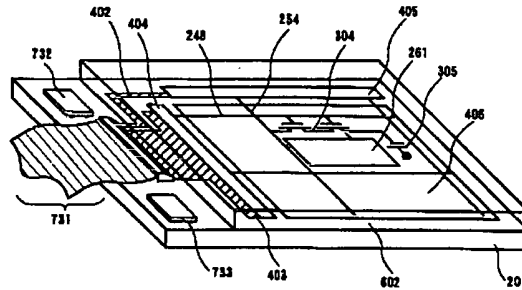
【図12】



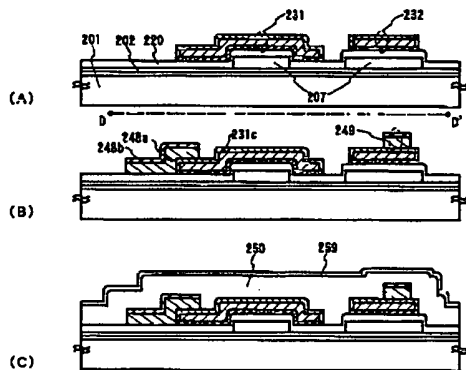
【図13】



【図16】

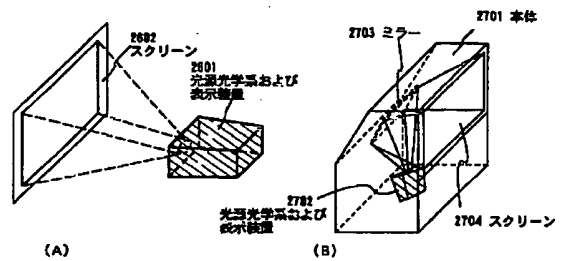


【図14】

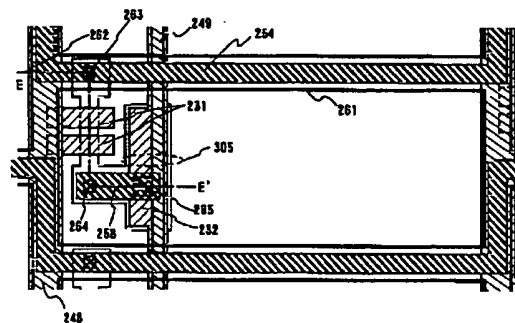


201: ガラス基板
406: 保護膜、402, 403: 入力配線
404: 走査信号線、405: 信号線駆動回路
731: FPC、732, 733: ICチップ
734: 外部入力端子
204: 透明TFT
248: ゲート配線、254: ソース配線
261: 画素電極、305: 保持電圧
602: 対向基板

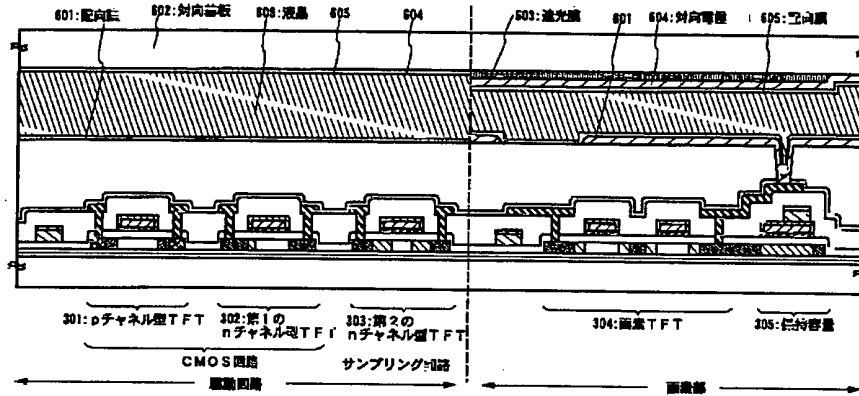
【図19】



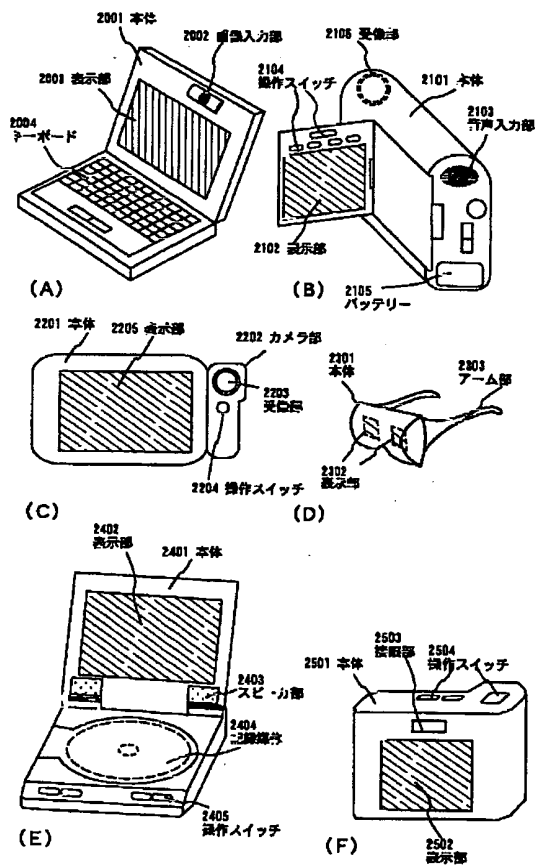
【図17】



【図15】



【図18】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	(参考)
H 0 1 L 21/318		H 0 1 L 29/78	6 2 6 C
H 0 4 N 5/66	1 0 2	G 0 2 F 1/136	5 0 0
 (72)発明者 伊藤 政隆			
大阪府大阪市阿倍野区長池町22番22号 シ		Fターム(参考) 2H092 JA28 JB57 KA07 MA05 MA08	
ヤープ株式会社内		MA18 MA26 MA29 MA30 NA24	
		PA01	
 (72)発明者 小川 裕之			
大阪府大阪市阿倍野区長池町22番22号 シ		5C058 AA06 AB01 BA35	
ヤープ株式会社内		5C094 AA03 AA07 AA22 BA03 BA43	
		CA19 CA25 EA04 EA07 EB05	
		FB14 JA08	
		5F058 AD04 AF04 AH02 BA05 BB06	
		BB07 BD01 BD15 BF04 BF07	
		BF09 BF23 BF25 BF29 BF30	
		BJ10	
		5F110 AA08 AA30 BB02 BB04 CC02	
		DD02 DD15 DD17 DD25 EE01	
		EE04 EE05 EE06 EE11 EE14	
		EE15 EE28 FF02 FF03 FF04	
		FF09 FF28 FF30 GG01 GG02	
		GG13 GG25 GG28 GG32 GG34	
		GG43 GG45 GG51 HJ01 HJ04	
		HJ12 HJ23 HL01 HL04 HL05	
		HL12 HL23 HM15 NN03 NN04	
		NN22 NN23 NN24 NN35 NN72	
		NN78 PP02 PP03 PP04 PP05	
		PP06 PP13 PP34 PP35 QQ04	
		QQ09 QQ11 QQ24 QQ25 QQ28	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.